

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

01587971 \*\*Image available\*\*

**MANUFACTURE OF THIN FILM TRANSISTOR**

PUB. NO.: **60-066471** [JP 60066471 A]

PUBLISHED: April 16, 1985 (19850416)

INVENTOR(s): MIYAZAWA WAKAO

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 58-175006 [JP 83175006]

FILED: September 21, 1983 (19830921)

INTL CLASS: [4] H01L-029/78; H01L-021/324; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 336, Vol. 09, No. 201, Pg. 110,  
August 17, 1985 (19850817)

**ABSTRACT**

PURPOSE: To contrive to enhance crystallinity, and to enhance the characteristic of a thin film transistor by a method wherein a semiconductor thin film is annealed by infrared rays.

CONSTITUTION: The island 12 of an amorphous silicon film or a polycrystalline silicon film is formed on a glass substrate 11, and annealed in an inactive gas atmosphere according to an infrared lamp to grow a crystal. Infrared rays are not absorbed by the transparent substrate such as glass, etc., and the temperature rise of the transparent substrate is not generated. A silicon oxide film 13 to be used as a gate film, and a crystal silicon film 14 to be used as a gate electrode are formed, source and drain diffusion layers 15 are formed by ion implantation, interlayer insulating films 16 are formed, and source and drain electrodes are formed by a transparent and electrically conductive film. Because crystallinity of the semiconductor thin film is enhanced, the ON-OFF ratio of the transistor becomes to a number of six figures or more.

DIALOG(R)File 352:Derwent WPI  
(c) 2000 Derwent Info Ltd. All rts. reserv.  
004303603

WPI Acc No: 1985-130481/198522

Forming thin-film transistor on transparent substrate - anneals silicon  
film island by infrared heating in inert gas atmos. NoAbstract Dwg 1/5

Patent Assignee: SUWA SEIKOSHA KK (SUWA )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 60066471</b>	A	19850416	JP 83175006	A	19830921	198522 B

Priority Applications (No Type Date): JP 83175006 A 19830921

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 60066471	A	7		
-------------	---	---	--	--

Title Terms: FORMING; THIN; FILM; TRANSISTOR; TRANSPARENT; SUBSTRATE;  
ANNEAL; SILICON; FILM; ISLAND; INFRARED; HEAT; INERT; GAS; ATMOSPHERE;  
NOABSTRACT

Derwent Class: L03; U11; U12; U14

International Patent Class (Additional): H01L-021/32; H01L-027/12;

H01L-029/78

File Segment: CPI; EPI

⑯ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭60-66471

⑤ Int.CI.<sup>1</sup>  
H 01 L 29/78  
// H 01 L 21/324  
27/12

識別記号

府内整理番号

8422-5F  
6603-5F  
8122-5F

⑬ 公開 昭和60年(1985)4月16日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 薄膜トランジスタの製造方法

⑮ 特願 昭58-175006

⑯ 出願 昭58(1983)9月21日

⑰ 発明者 宮沢 和加雄 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内  
⑱ 出願人 株式会社諏訪精工舎 東京都新宿区西新宿2丁目4番1号  
⑲ 代理人 弁理士 最上 務

明細書

発明の名称

薄膜トランジスタの製造方法

特許請求の範囲

(1) ソーダガラス等の透明基板上に形成する薄膜トランジスタにおいて、該基板上に非晶質シリコン膜あるいは、多結晶シリコン膜の島を形成したのちに、不活性ガス雰囲気中で赤外線加熱により、シリコン膜の島をアニールすることを特徴とする薄膜トランジスタの製造方法。

(2) 酸素雰囲気中でアニールし、シリコン膜の表面を酸化シリコン膜とすることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタの製造方法。

(3) シランガス中でアニールし、非晶質あるいは多結晶シリコン膜の島の表面に多結晶シリコン膜を形成することを特徴とする特許請求の範囲第1項記載の薄膜トランジスタの製造方法。

(4) 酸素ガスおよびシランガス中でアニールすることにより、シリコン膜の表面に酸化シリコン膜を形成することを特徴とする特許請求の範囲第1項記載の薄膜トランジスタの製造方法。

発明の詳細な説明

本発明はソーダガラス等の透明基板上に形成される薄膜トランジスタの特性向上に関する。

薄膜トランジスタは高価なシリコン基板上に形成する半導体素子に比べ、安価なガラス基板上に形成できると共に、工程数も少なくできる利点をもっている。

又、透明基板上に薄膜トランジスタアレイを形成し、液晶ディスプレイを構成したフラットパネル等では、裏面に反射率の良い反射板をセットする事により、コントラストの良い表示を得ることができる。

第1図(a)(b)を用いて従来の薄膜トランジスタの構造を示し、その欠点を述べる。

ガラス基板1上に多結晶シリコン膜の島2を形

成したのち、OVD法等により、ゲート膜3を形成した後ゲート電極となる多結晶シリコン膜4を形成する。次にイオン打込み法により、ソース・ドレイン拡散層5を形成する。

次に層間絶縁膜6を形成したのちに、コンタクトホールを開口し、ソース配線、ドレイン電極を透明導電膜により形成する。

この様に形成された薄膜トランジスタは、オンオフ比で4桁程度の特性を得るのが精一杯であり、アクティブマトリックスパネルを構成し、テレビ画像を表示するには不充分である。

薄膜トランジスタのオンオフ比を大きくするには、能動素子である半導体薄膜をアニールし、結晶性を改善することにより可能となる。現在研究されている技術では、レーザーハニールがあるが、レーザービームの制御性の問題からアニールのバラツキが生じる。又、装置も大型で高価であると共にスループットも上がらない等の問題もあり、実用化されていない。次に、ゲート膜を高温酸化法で形成すると同時に半導体薄膜の結晶性も

形成したのちにゲート電極となる多結晶シリコン膜14を形成する。その後イオン打込み法により、ソース・ドレイン拡散層15を形成する。

さらに、層間絶縁膜16を形成したのちに、コンタクトホールを開口し、ソース・ドレイン電極を透明導電膜により形成する。

この様に形成された薄膜トランジスタは、半導体薄膜がアニールされて結晶性が向上しているので、トランジスタのオンオフ比が6桁以上となる。さらに透明基板を用いている為、基板自体の温度は上昇しないので、ソーダガラス等も用いることができる。

次に第3図(a)(b)により本発明の第2の実施例を説明する。

ガラス基板21上に、非晶質シリコン膜あるいは多結晶シリコン膜の島22を形成する。次に赤外線ランプにより、酸素ガス雰囲気中でアニールすると非晶質シリコン膜あるいは多結晶シリコン膜の結晶が成長すると同時に、表面が酸化され、ゲート膜となる酸化シリコン膜が成長する。次に

向上させる高温アニール法もあるが、この方法では基板温度が上昇してしまう為、安価なガラス基板が使用できない等の問題がある。

本発明は、これらの欠点を解決したものであり、半導体薄膜を赤外線アニールすることにより、半導体薄膜の結晶性向上を計り、トランジスタ特性を向上させるものである。

周知の如く、赤外線はガラス等の透明基板には吸収されず、半導体薄膜等の不透明な膜に吸収され温度上昇させる。この性質を利用し、透明基板上に、島状に残した半導体薄膜をアニールすることができ、透明基板の温度上昇は起こらない。

第2図(a)(b)(c)により本発明の第1の実施例を説明する。

ガラス基板11上に、非晶質シリコン膜あるいは多結晶シリコン膜の島12を形成する。次に赤外線ランプにより不活性ガス雰囲気中でアニールすると、第2図(c)の様に非晶質シリコン膜あるいは多結晶シリコン膜の結晶が成長し12'となる。次にゲート膜となる酸化シリコン膜13を

ゲート電極となる多結晶シリコン膜24を形成する。

以後本発明の第1の実施例に基づいて製作することにより、第1の実施例と同じ効果を上げることが可能である。

第3の実施例としては、非晶質シリコンあるいは多結晶シリコン膜の島を形成したのちに、赤外線ランプにより、シランガス中でアニールすることにより、非晶質シリコンあるいは多結晶シリコン膜の上に、結晶性のすぐれた多結晶シリコン膜32'を形成することができる。第4図(a)(b)からも判かる様にこの場合は、非晶シリコン膜あるいは多結晶シリコン膜の島32の上ののみに新たな結晶性の良い膜が形成されるので、ホトリソ工程による膜の分離は必要ない。

次に第4の実施例を第5図(a)(b)に示す。

ガラス基板41上に非晶質シリコン膜あるいは多結晶シリコン膜の島42を形成したのちに、赤外線ランプにより、シランガス及び酸素ガス雰囲

気中でアニールすることにより、表面に酸化シリコン膜が成長し、ゲート膜43が形成される。以後本発明の第1の実施例に基づいて製作することにより第1の実施例と同じ効果を上げることができる。

さらには第3の実施例と第4の実施例を組み合せることも可能である。この場合は、シランガス中でアニールし、結晶性の良い薄膜を形成したのちに、酸素ガスとシランガスを流せば酸化シリコン膜が形成される。

又、シランガス中でアニールしたのちに、酸素雰囲気中でアニールすることにより、表面に酸化シリコン膜が形成され、この場合は、第3の実施例と第2の実施例を組合せたものである。この様に、半導体薄膜を形成したのちに連続的にゲート膜である酸化シリコン膜を形成することにより、プロセス中に汚れを防止できる。特に半導体薄膜とゲート膜の界面の汚れはトランジスタ特性に大きく影響するので、本発明の様に連続的に形成する事により、トランジスタの特性の劣下防止

に役立つ。

以上説明した如く、本発明によれば、トランジスタ特性の向上につながるばかりでなく、種々の優れた効果をもたらす。

#### 図面の簡単な説明

第1図(a)(b)は従来の薄膜トランジスタの断面図及び平面図である。1はガラス基板、2は非晶質シリコンあるいは多結晶シリコン膜、3はゲート膜、4はゲート電極、5はソース・ドレイン拡散層、6は層間絶縁膜、7はソース配線、8はドレイン電極。

第2図(a)(b)(c)は本発明による第1の実施例による断面図であり、11はガラス基板、12は非晶質シリコン膜あるいは多結晶シリコン膜、12'は結晶性が改善された多結晶シリコン膜、13はゲート膜、14はゲート電極、15はソース・ドレイン拡散層、16は層間絶縁膜、17はソース配線、18はドレイン電極である。

第3図(a)(b)は本発明による第2の実施

例である。

第4図(a)(b)は本発明による第3の実施例であり、

第5図(a)(b)は本発明による第4の実施例である。

図中、

21, 31, 41 ……ガラス基板

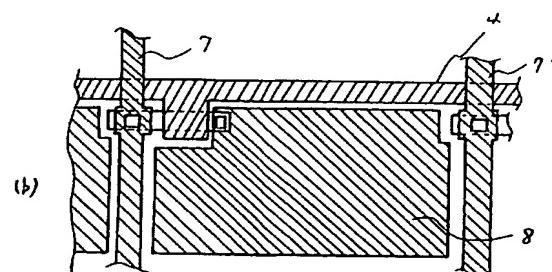
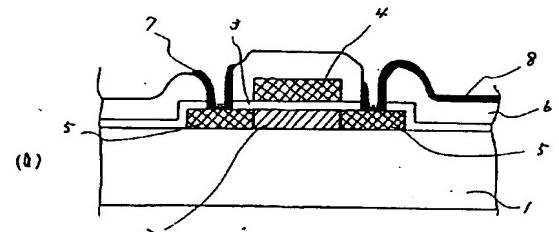
22, 32, 42 ……非晶質シリコンあるいは  
多結晶シリコン膜

23, 43, ……ゲート膜

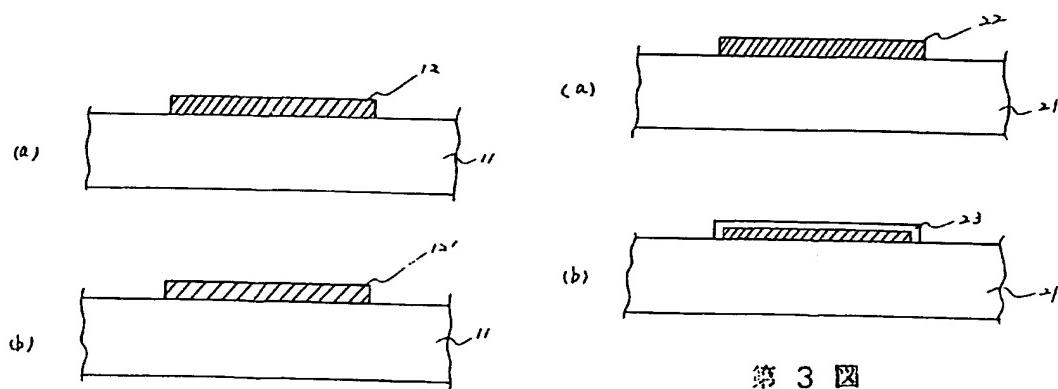
である。

以上

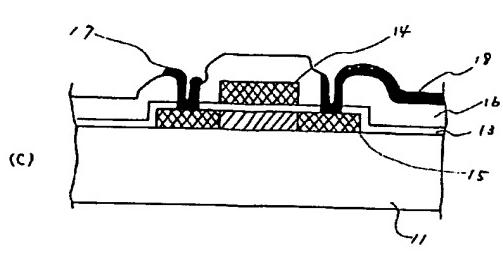
出願人 株式会社波防精工會  
代理人 弁理士 最上 務



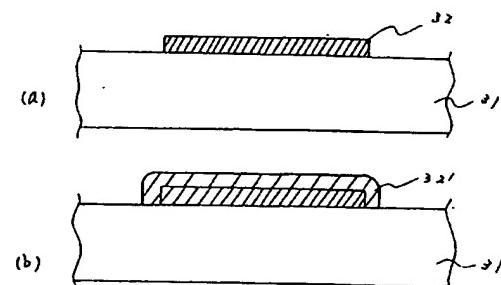
第1図



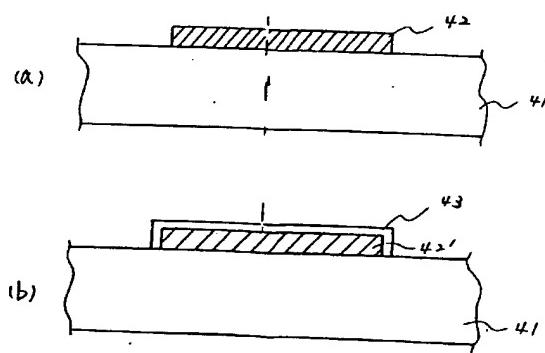
第 3 図



第 2 図



第 4 図



第 5 図